

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08205034 A**

(43) Date of publication of application: **09 . 08 . 96**

(51) Int. Cl.

H04N 5/335
H01L 27/148

(21) Application number: **07007564**

(22) Date of filing: **20 . 01 . 95**

(71) Applicant: **NISSAN MOTOR CO LTD**

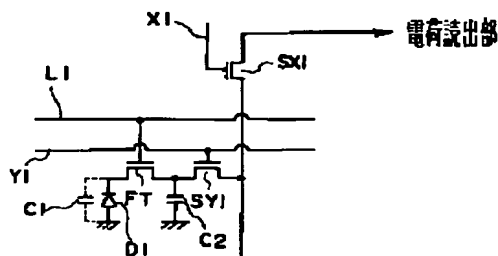
(72) Inventor: **KURAI SON TORONNAMUCHIYAI**
NOSO KAZUNORI

(54) **IMAGE SENSOR**

(57) Abstract:

PURPOSE: To suppress the deterioration in image quality and to read an optional picture element in an optional order.

CONSTITUTION: Charge storage to a 1st capacitor C1 is started while a frame transfer gate FT is cut off. When a frame transfer signal is sent to each frame transfer gate FT via a frame transfer control line L1, all the frame transfer gates FT are simultaneously conductive and the charge stored in the 1st capacitor C1 is transferred to a 2nd capacitor C2 via the frame transfer gates FT. When any MOS switch is switched after the transfer of charge to the 2nd capacitor C2 is finished, the charge stored in any of the 2nd capacitors C2 is read. The timing to switch the frame transfer gates FT is made in common to all picture elements, the charge storage start time to the 2nd capacitor C2 is made in common in each picture element and the charge storage time to the 2nd capacitor is made equal, then flickering is prevented.



COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 2 0 5 0 3 4

(43) 公開日 平成 8 年 (1996) 8 月 9 日

(51) Int. Cl. ⁶

H 0 4 N 5/335

H 0 1 L 27/148

識別記号

E

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/14

B

審査請求 未請求 請求項の数 7

O L

(全 1 1 頁)

(21) 出願番号 特願平 7-7564

(22) 出願日 平成 7 年 (1995) 1 月 20 日

(71) 出願人 000003997

日産自動車株式会社

神奈川県横浜市神奈川区宝町 2 番地

(72) 発明者 クライソン・トロンナムチャイ

神奈川県横浜市神奈川区宝町 2 番地 日産
自動車株式会社内

(72) 発明者 農宗 千典

神奈川県横浜市神奈川区宝町 2 番地 日産
自動車株式会社内

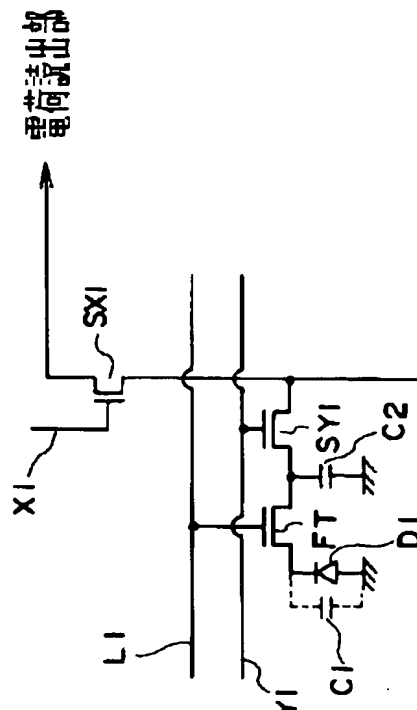
(74) 代理人 弁理士 永井 冬紀

(54) 【発明の名称】 イメージセンサ

(57) 【要約】

【目的】 画質の劣化を抑制し、任意の画素を任意の順序で読出可能とする。

【構成】 フレーム転送用ゲート F T を遮断した状態で第 1 の静電容量 C 1 への電荷蓄積を開始する。その後、フレーム転送制御線 L 1 を介して各フレーム転送用ゲート F T にフレーム転送信号を送出すると、すべてのフレーム転送用ゲート F T は同時に導通し、各第 1 の静電容量 C 1 に蓄積されていた電荷はフレーム転送用ゲート F T を介して第 2 の静電容量 C 2 に転送される。第 2 の静電容量 C 2 への電荷の転送が終了した後にいずれかの M O S 型スイッチを開閉すると、いずれかの第 2 の静電容量 C 2 に蓄積されている電荷が読み出される。このように、フレーム転送用ゲート F T を開閉するタイミングを全面素で共通にすることで、第 2 の静電容量 C 2 への電荷蓄積開始時刻を各画素で共通にでき、また第 2 の静電容量への電荷蓄積時間も等しくできるため、ちらつきが防止される。



【特許請求の範囲】

【請求項 1】 受光量に応じた電流を発生する複数の光電変換部と、

これら光電変換部ごとに設けられ、発生された電流に応じた電荷を蓄積する第 1 の静電容量とを備え、

これら第 1 の静電容量のいずれかを選択して蓄積された電荷を読み出し可能な X Y アドレス型イメージセンサにおいて、

前記第 1 の静電容量にそれぞれ対応して設けられる第 2 の静電容量と、

前記第 1 の静電容量と前記第 2 の静電容量との間にそれぞれ設けられ、前記第 1 の静電容量に蓄積されている電荷を略同時に対応する前記第 2 の静電容量に転送する転送手段と、

前記第 2 の静電容量のいずれかに蓄積されている電荷を選択して読み出す電荷読出手段とを備えることを特徴とする X Y アドレス型イメージセンサ。

【請求項 2】 請求項 1 に記載された X Y アドレス型イメージセンサにおいて、

前記第 1 の静電容量のそれぞれに対応して設けられ、前記転送手段による電荷転送が終了した後に前記第 1 の静電容量に残存している電荷を除去する第 1 の電荷除去手段を備えることを特徴とする X Y アドレス型イメージセンサ。

【請求項 3】 請求項 1 または 2 に記載された X Y アドレス型イメージセンサにおいて、

前記第 2 の静電容量のそれぞれに対応して設けられ、前記転送手段による電荷転送を行う前に前記第 2 の静電容量に残存している電荷を除去する第 2 の電荷除去手段を備えることを特徴とする X Y アドレス型イメージセンサ。

【請求項 4】 請求項 1 ~ 3 のいずれかに記載された X Y アドレス型イメージセンサにおいて、

前記電荷読出手段は、前記第 2 の静電容量に蓄積されている電荷の量に変化が生じないように該電荷量に相関する量を読み出す非破壊読出手段を備えることを特徴とする X Y アドレス型イメージセンサ。

【請求項 5】 請求項 1 ~ 4 のいずれかに記載された X Y アドレス型イメージセンサにおいて、

前記第 1 の静電容量のインピーダンスを高い状態に維持し、かつ前記第 1 の静電容量の両端電圧をゼロまたは所定電圧に設定する電圧設定手段を備え、前記電圧設定手段が前記転送手段として機能することを特徴とする X Y アドレス型イメージセンサ。

【請求項 6】 受光量に応じた電流を発生する複数の光電変換部と、

これら光電変換部で発生された電流に応じた電荷を所定方向に順次転送する転送手段と、

この転送手段から出力された電荷を順次蓄積する電荷蓄積手段と、

前記複数の光電変換部のうち予め指定された光電変換部の電荷が前記転送手段から出力されると該電荷を読み出すとともに、前記電荷蓄積手段に蓄積されている電荷を前記転送手段に逆送する読出制御手段とを備えることを特徴とする電荷転送型イメージセンサ。

【請求項 7】 受光量に応じた電流を発生する複数の光電変換部と、

これら光電変換部で発生された電流に応じた電荷を第 1 の方向に順次転送する第 1 の転送手段と、

10 この第 1 の転送手段から出力された電荷を第 2 の方向に転送する第 2 の転送手段とを備えた電荷転送型イメージセンサにおいて、

前記第 1 および第 2 の転送手段はそれぞれ電荷をリング状に転送可能とされており、前記第 2 の転送手段には前記第 1 の転送手段からの電荷を受け取るための電荷受取部と、該電荷を外部に読み出すための電荷読出部とが設けられることを特徴とする電荷転送型イメージセンサ。

【発明の詳細な説明】

【0001】

20 【産業上の利用分野】 本発明は、複数画素を有し、各画素で受光された光を光電変換して得られる電荷をいったん蓄積し、これら蓄積電荷を外部に転送可能なイメージセンサに関する。

【0002】

【従来の技術】 撮像管を使用せず、半導体素子によって撮像を行うものは一般に固体撮像素子と呼ばれる。固体撮像素子には大きく分けて、X Y アドレス型イメージセンサと電荷転送型イメージセンサの 2 種類がある。

30 【0003】 図 11 は X Y アドレス型イメージセンサの代表である MOS 型イメージセンサの内部構成を示す回路図である。MOS 型イメージセンサの内部には、光電変換を行うフォトダイオードが一定間隔で多数配設されており、各フォトダイオードが画素単位となる。図 11 では、イメージセンサの一部である縦横 2 個ずつの画素を示しており、以下この図を用いて従来の MOS 型イメージセンサの構造を説明する。

40 【0004】 各フォトダイオード D1 ~ D4 のカソード端子にはそれぞれ MOS 型スイッチ SY1 ~ SY4 が接続され、MOS 型スイッチ SY1, SY2 のゲート端子には水平選択線 Y1 が、MOS 型スイッチ SY3, SY4 のゲート端子には水平選択線 Y2 が接続されている。また、MOS 型スイッチ SY1, SY3 には MOS 型スイッチ SX1 が、MOS 型スイッチ SY2, SY4 には MOS 型スイッチ SX2 が接続されており、各 MOS 型スイッチ SX1, SX2 のゲート端子にはそれぞれ垂直選択線 X1, X2 が接続されている。

50 【0005】 一方、各フォトダイオード D1 ~ D4 はそれぞれ寄生容量 C11 ~ C14 を有しており、この寄生容量 C11 ~ C14 にはフォトダイオード D1 ~ D4 によって光電変換された電荷が蓄積される。以下、この寄

生容量を第1の静電容量と呼ぶ。第1の静電容量C11～C14に蓄積された電荷はMOS型スイッチSY1～SY4およびMOS型スイッチSX1、SX2を介して電荷読出部から読み出される。例えば、図11の垂直選択線X1と水平選択線Y1をハイレベルにすると、MOS型スイッチSX1とMOS型スイッチSY1が導通し、フォトダイオードD1の寄生容量C11に蓄積された電荷が読み出される。そして、一度電荷が読み出されると、読み出された寄生容量C11の内部の電荷は消滅する。

【0006】このように、MOS型イメージセンサ内部の各画素の情報は、垂直選択線および水平選択線を任意に選択することで、それぞれ個別に読み出すことができる。すなわち、MOS型イメージセンサでは、任意の画素の情報を任意の順序でランダムに読み出すことができるため、ランダムアクセスが必須となる画像処理の分野で広く用いられる。

【0007】

【発明が解決しようとする課題】しかしながら、MOS型イメージセンサのようなXYアドレス型イメージセンサを用いて撮像すると、ちらつき等により画質が劣化するという問題が生じる。以下、図12を用いてこの問題を説明する。

【0008】図12(a)の画素Pが図11のフォトダイオードD1および第1の静電容量C11に、図12

(a)の画素Qが図11のフォトダイオードD2および第1の静電容量C12に対応するものとし、画素Pの蓄積電荷を読み出した後に画素Qの蓄積電荷を読み出すものとする。図12(a)に示す2個の画素P、Qに図12(b)に示すような特性の光束が入射されると、画素Pからは図12(b)の矢印Aで示す信号レベルの信号が出力され、画素Qからは図12(b)の矢印Bで示す信号レベルの信号が出力される。

【0009】このように、隣接する2個の画素に同一特性の光束が入射されても、各画素の電荷読み出しタイミングはそれぞれ異なるため、各画素の出力値にずれが生じ、このずれによってちらつきが生じてしまう。また、このずれは、各画素に照射される光束の時間的変化が大きいほど大きくなる。

【0010】一方、光電変換によって得られる電荷の蓄積時間が画素ごとにばらつくと画質が低下するおそれがあるため、従来は第1の静電容量への電荷蓄積時間が各画素で共通になるように、各画素の蓄積電荷を読み出す順序を予め定めている。このため、本来ランダムアクセスが可能であるはずのXYアドレス型イメージセンサの長所を生かせない。

【0011】次に、従来の電荷転送型イメージセンサの構造およびその問題点について説明する。図13は、電荷転送型イメージセンサの代表である電荷結合デバイス(Charge Coupled Device)の内部構成を示す図である。

図13に示すように、それぞれの画素はフォトダイオードD1と第1の静電容量C1とによって構成され、各画素はフレーム転送用ゲートFTを介して垂直転送用CCDチャネルVに接続されている。垂直転送用CCDチャネルVには画素単位ごとに第2の静電容量C2が設けられ、外部からクロックが入力されるたびに、第2の静電容量C2に蓄積された電荷は隣接チャネルの第2の静電容量C2に順次転送される。また、垂直転送用CCDチャネルVの最下部には水平転送用CCDチャネルHが設けられ、垂直転送用CCDチャネルVから出力された電荷を水平方向に順次転送する。

【0012】図13のように構成された電荷転送型イメージセンサにおいては、まずフレーム転送用ゲートFTを遮断した状態で各画素ごとに光電変換を行い、各画素ごとに設けられる第1の静電容量C1に電荷を蓄積する。次に、フレーム転送用ゲートFTを導通し、それぞれの第1の静電容量C1に蓄積された電荷を垂直転送用CCDチャネルVに転送する。このフレーム転送動作が終了すると、再度フレーム転送用ゲートFTを遮断して第1の静電容量C1に電荷を蓄積する。

【0013】一方、垂直転送用CCDチャネルVに転送された電荷は、クロックが入力されるたびに1チャネルずつ転送され、転送された電荷が水平転送用CCDチャネルHに達すると、今度は水平転送用CCDチャネルHを1チャネルずつ転送される。

【0014】このように、電荷転送型イメージセンサでは、電荷蓄積開始時刻と電荷蓄積時間を全画素について等しくするため、XYアドレス型イメージセンサで問題となったちらつき等が生じないという利点がある。また、電荷の転送速度や転送周期をテレビの走査線の動きに同期させるのが容易であるため、テレビやビデオの撮像に適している。

【0015】ところが、従来の電荷転送型イメージセンサでは、各画素の画素データを転送する順番を予め定めているため、XYアドレス型イメージセンサのように任意の画素を指定してその画素データだけを読み出すことはできず、画像処理分野での使用が制限される。

【0016】以下、XYアドレス型イメージセンサと電荷転送型イメージセンサとの相違点を図14を用いて説明する。図14は、全体像Zの一部に注目領域T1、T2がある例を示す。XYアドレス型イメージセンサの場合は、例えば注目領域T1、T2だけを読み出したたり、あるいは注目領域T1、T2を細かく読み出してそれ以外の領域を粗く読み出すことができ、画素データの転送時間を必要に応じて短縮できる。ところが、電荷転送型イメージセンサの場合は、画素データを決まった順序でしか読み出せないため、図示の注目領域T1、T2の画素データだけを抽出する場合には、いったんすべてのデータを転送した後にその中から必要なデータを選択しなければならない。このため、電荷転送型イメージセンサ

を用いて注目領域T1、T2だけを抽出する場合には、画素データの転送に時間がかかるため画像データを高速に処理できず、また画像データを一時的に記憶しておく画像メモリが必要となるため、その分だけコストが高くなるという欠点がある。

【0017】本発明の目的は、光電変換によって発生される電荷の蓄積開始時刻と蓄積時間とを全面素で共通にすることで画質の劣化を抑制するようにしたXYアドレス型イメージセンサを提供することにある。また、本発明の他の目的は、任意の画素データを任意の順序で読み出せるようにした電荷転送型イメージセンサを提供することにある。

【0018】

【課題を解決するための手段】実施例を示す図1～10に対応づけて本発明を説明すると、本発明は、受光量に応じた電流を発生する複数の光電変換部D1と、これら光電変換部D1ごとに設けられ、発生された電流に応じた電荷を蓄積する第1の静電容量C1とを備え、これら第1の静電容量のいずれかを選択して蓄積された電荷を読み出し可能なXYアドレス型イメージセンサに適用され、第1の静電容量C1にそれぞれ対応して設けられる第2の静電容量C2と、第1の静電容量C1と第2の静電容量C2との間にそれぞれ設けられ、第1の静電容量C1に蓄積されている電荷を略同時に対応する第2の静電容量C2に転送する転送手段FTと、第2の静電容量C2のいずれかに蓄積されている電荷を選択して読み出す電荷読出手段SX1、SY1とを備えることにより、上記目的は達成される。請求項2に記載の発明は、請求項1に記載されたXYアドレス型イメージセンサにおいて、第1の静電容量C1のそれぞれに対応して設けられ、転送手段FTによる電荷転送が終了した後に第1の静電容量C1に残存している電荷を除去する第1の電荷除去手段SR、SR1を備えるものである。請求項3に記載の発明は、請求項1または2に記載されたXYアドレス型イメージセンサにおいて、第2の静電容量C2のそれぞれに対応して設けられ、転送手段FTによる電荷転送を行う前に第2の静電容量C2に残存している電荷を除去する第2の電荷除去手段SR1を備えるものである。請求項4に記載の発明は、請求項1～3のいずれかに記載されたXYアドレス型イメージセンサにおいて、電荷読出手段SX1、SY1は、第2の静電容量C2に蓄積されている電荷の量に変化が生じないように該電荷量に相関する量を読み出す非破壊読出手段B1を備えるものである。請求項5に記載の発明は、請求項1～4のいずれかに記載されたXYアドレス型イメージセンサにおいて、第1の静電容量C1のインピーダンスを高い状態に維持し、かつ第1の静電容量C1の両端電圧をゼロまたは所定電圧に設定する電圧設定手段FT、FT1を備え、電圧設定手段FT、FT1を転送手段FTとして機能させるものである。

【0019】請求項6に記載の発明は、受光量に応じた電流を発生する複数の光電変換部D1と、これら光電変換部D1で発生された電流に応じた電荷を所定方向に順次転送する転送手段Vと、この転送手段Vから出力された電荷を順次蓄積する電荷蓄積手段CGと、複数の光電変換部D1のうち予め指定された光電変換部D1の電荷が転送手段Vから出力されると該電荷を読み出すとともに、電荷蓄積手段CGに蓄積されている電荷を転送手段Vに逆送する読出制御手段TSとを備えることにより、上記目的は達成される。請求項7に記載の発明は、受光量に応じた電流を発生する複数の光電変換部D1と、これら光電変換部D1で発生された電流に応じた電荷を第1の方向に順次転送する第1の転送手段Vと、この第1の転送手段Vから出力された電荷を第2の方向に転送する第2の転送手段Hとを備えた電荷転送型イメージセンサに適用され、第1および第2の転送手段Hはそれぞれ電荷をリング状に転送可能とされており、第2の転送手段Hには第1の転送手段Vからの電荷を受け取るための電荷受取部と、該電荷を外部に読み出すための電荷読出部とが設けられることにより、上記目的は達成される。

【0020】

【作用】請求項1に記載の発明では、光電変換部D1によって発生された電流に応じた電荷を第1の静電容量C1に蓄積し、その蓄積された電荷を転送手段FTによって第2の静電容量C2に略同時に転送し、その転送された電荷のいずれかを電荷読出手段SX1、SY1によって選択して読み出す。これにより、第2の静電容量C2への電荷蓄積開始時刻および電荷蓄積時間を各画素で共通にできる。請求項2に記載の発明では、第1の静電容量C1から第2の静電容量C2に電荷を転送した後に、第1の静電容量C1に残存している電荷を除去する。請求項3に記載の発明では、第1の静電容量C1から第2の静電容量C2に電荷を転送する前に、第2の静電容量C2に残存している電荷を除去する。請求項4に記載の発明では、第2の静電容量C2に蓄積されている電荷の量に変化が生じないように電荷量に相関する量を読み出すことにより、第2の静電容量C2に蓄積されている電荷を何度でも読み出せるようにする。請求項5に記載の発明では、第1の静電容量C1から第2の静電容量C2に電荷を転送する際に、電圧設定手段FT、FT1の作用によって第1の静電容量C1の両端電圧をゼロまたは所定電圧にする。これにより、第1の静電容量C1に蓄積されている電荷は第2の静電容量C2に効率よく転送される。請求項6に記載の発明では、光電変換部D1で発生された電流に応じた電荷を転送手段Vによって順次転送し、転送手段Vから出力された電荷を順次電荷蓄積手段CGに蓄積する。そして、予め指定した光電変換部D1の電荷が転送手段Vから出力されるとその電荷を外部に読み出し、かつそれまでに電荷蓄積手段CGに蓄積されている電荷を転送手段Vに逆に転送する。請求項7

に記載の発明では、光電変換部 D 1 で発生された電荷に応じた電荷を第 1 の転送手段 V によってリング状に転送し、その途中で第 2 の転送手段 H にも転送可能とする。第 2 の転送手段 H は、第 1 の転送手段 V から転送された電荷をリング状に転送し、その途中で電荷読出部から外部に読出可能とする。

【0021】なお、本発明の構成を説明する上記課題を解決するための手段と作用の項では、本発明を分かり易くするために実施例の図を用いたが、これにより本発明が実施例に限定されるものではない。

【0022】

【実施例】

ー第 1 の実施例ー

図 1 は本発明による XY アドレス型イメージセンサの第 1 の実施例の内部構成を示す回路図である。図 1 は一画素分の構成を示しており、図 1 1 に示す従来のイメージセンサと共通する構成部分には同一符号を付している。図 1 において、フォトダイオード D 1 および第 1 の静電容量 C 1 は図 1 1 と同様に並列に接続され、フォトダイオード D 1 と MOS 型スイッチ S Y 1 との間にはフレーム転送用ゲート F T と第 2 の静電容量 C 2 とが接続されている。フレーム転送用ゲート F T のゲート端子はフレーム転送制御線 L 1 によって他のすべてのフレーム転送用ゲート F T のゲート端子と接続され、MOS 型スイッチ S Y 1 のゲート端子は水平選択線 Y 1 に、MOS 型スイッチ S X 1 のゲート端子は垂直選択線 X 1 にそれぞれ接続されている。

【0023】以下、図 1 のように構成された第 1 の実施例の動作を説明する。まず、フレーム転送用ゲート F T を遮断した状態で第 1 の静電容量 C 1 への電荷蓄積を開始する。その後、フレーム転送制御線 L 1 を介して各フレーム転送用ゲート F T にフレーム転送信号を送出すると、すべてのフレーム転送用ゲート F T は同時に導通し、各第 1 の静電容量 C 1 に蓄積されていた電荷はフレーム転送用ゲート F T を介して第 2 の静電容量 C 2 に転送される。第 2 の静電容量 C 2 への電荷の転送が終了した後、いずれかの MOS 型スイッチを開閉すると、いずれかの第 2 の静電容量 C 2 に蓄積されている電荷が読み出される。

【0024】このように、第 1 の実施例では、フレーム転送用ゲート F T を開閉するタイミングを全画素で共通にするため、第 1 の静電容量への電荷蓄積開始時刻を各画素で共通にでき、また第 1 の静電容量への電荷蓄積時間も等しくできる。したがって、電荷蓄積開始時刻および電荷蓄積時間のずれによって生じるちらつきが起きなくなる。また、第 1 の実施例では、フレーム転送用ゲート F T を遮断した状態で電荷を読み出すため、第 1 の静電容量 C 1 への電荷蓄積と第 2 の静電容量 C 2 からの電荷読出を同時に行える。したがって、それぞれの画素のデータを前フレームの読出順序の影響を受けずに任意の

順序で読み出すことができる。

【0025】ところが、第 1 の実施例には、以下の①～③に示す欠点がある。

①電荷の蓄積および転送を同時に行うため、蓄積時間を短くするいわゆる電子絞りを行えない。ここで、電子絞りとは、光電変換によって得られる電荷の蓄積時間を制御可能とすることで、感度および解像度の向上を図ることをいう。

②第 2 の静電容量 C 2 に蓄積されている電荷をいったん読み出すと第 2 の静電容量 C 2 内部に電荷がなくなるため、一フレーム中に複数回、同一の第 2 の静電容量 C 2 から電荷を読み出すことはできない。

③第 1 の静電容量 C 1 から第 2 の静電容量 C 2 に電荷を転送すると、電荷の一部は第 1 の静電容量 C 1 に残存してしまう。具体的には、第 1 の静電容量 C 1 および第 2 の静電容量 C 2 の各電荷容量比だけの電荷が第 1 の静電容量 C 1 に残存する。このため、前フレームの残像電荷が読み出される結果となり、画質が劣化してしまう。これら①～③の欠点を解消するためには、例えば以下に示す第 2 ～第 6 の実施例が考えられる。

【0026】ー第 2 の実施例ー

第 2 の実施例は、電荷の転送後に第 1 の静電容量に残存する電荷を除去するものである。図 2 は XY アドレス型イメージセンサの第 2 の実施例の内部構成を示す回路図であり、図 1 と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【0027】図 2 に示すように、第 2 の実施例はリセット用スイッチ S R を新たに設ける点を除いて第 1 の実施例と共通する。リセット用スイッチ S R は第 1 の静電容量 C 1 およびフォトダイオード D 1 に直接接続され、そのゲート端子はリセット制御信号線 L 2 によって他のすべての画素のリセット用スイッチ S R のゲート端子と接続されている。

【0028】以下、図 2 に基づいて第 2 の実施例の動作を説明する。まず、フレーム転送用ゲート F T を遮断した状態で第 1 の静電容量 C 1 への電荷蓄積を行う。次に、フレーム転送用ゲート F T を導通して第 2 の静電容量 C 2 への電荷転送を行う。電荷転送が終了すると、フレーム転送用ゲート F T を遮断して MOS 型スイッチ S X 1、S Y 1 を介して電荷の読み出しを行う。ここまでは、第 1 の実施例と共通する。

【0029】一方、第 2 の静電容量 C 2 への電荷転送の終了後にフレーム転送用ゲート F T を遮断すると、第 1 の静電容量 C 1 への電荷蓄積が再開される。ある程度電荷が蓄積された段階でリセット制御信号線 L 2 を介して各リセット用スイッチ S R を導通すると、第 1 の静電容量 C 1 に蓄積されている電荷はすべて除去される。これにより、前フレームの残像電荷はすべて除去され、残像電荷による画質の劣化を抑制できる。

【0030】また、各リセット用スイッチ S R を導通す

るタイミングを制御することで第1の静電容量C1への電荷蓄積時間を制御でき、電子絞り調整が可能となる。すなわち、いったんリセット用スイッチSRを導通して残像電荷をすべて除去した時点からフレーム転送用ゲートFTを導通するまでの時間が絞り時間に相当し、この時間を制御することで感度および解像度の向上を図れる。例えば、フォトダイオードD1への入射光の強度が強い場合には電荷蓄積時間を短くし、逆に入射光の強度が弱い場合には電荷蓄積時間を長くすれば、入射光の強度に関係なく常に一定の感度を維持できる。

【0031】上記第1または第2の実施例における第2の静電容量C2は、フレーム転送用ゲートFTやMOS型スイッチSX1、SY1や配線等に寄生している容量によって構成してもよく、あるいは個別にコンデンサを付加してもよい。

【0032】—第3の実施例—

第3の実施例は、一フレーム中に複数回、同一の第2の静電容量から電荷を読み出せるようにしたものである。図3はXYアドレス型イメージセンサの第3の実施例の内部構成を示す回路図である。図3では第1の実施例と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【0033】図3において、B1はフレーム転送用ゲートFTとMOS型スイッチSY1との間に接続されるソースフォロワ型のバッファ、SR1は第2の静電容量C2に蓄積されている電荷を除去するためのMOS型スイッチである。バッファB1のドレイン端子は電源VDDに、そのソース端子はMOS型スイッチSY1に、そのゲート端子は第2の静電容量C2にそれぞれ接続され、MOS型スイッチSR1のドレイン端子はリセット電位VRに、そのソース端子は第2の静電容量C2に、そのゲート端子はリセット制御信号線L2にそれぞれ接続されている。

【0034】以下、図3に基づいて第3の実施例の動作を説明する。第1の静電容量C1に電荷が蓄積された後にフレーム転送用ゲートFTを導通して第2の静電容量C2に電荷を転送すると、バッファB1のゲート端子の電位は次第に高くなる。例えば、第2の静電容量C2に信号電荷Qが蓄積されると、バッファB1のゲート端子の電圧Vは Q/C だけ上昇する（Cは第2の静電容量の電気容量）。その結果、バッファB1のソース電位も Q/C だけ上昇する。したがって、バッファB1のソース電位を計測することで第2の静電容量C2に蓄積された電荷量Qを検出できる。また、バッファB1のソース電位を検出しても第2の静電容量C2に蓄積された電荷量Qは変化しないため、一フレーム中に何度でも第2の静電容量C2の蓄積電荷Qを検出できる。

【0035】さらに、フレーム転送用ゲートFTを導通する前にいったんMOS型スイッチSR1を導通することで、第2の静電容量C2に蓄積されている電荷をすべ

て除去でき、残像電荷による画質の劣化を抑制できる。

【0036】このように、第3の実施例によれば、第2の静電容量C2に蓄積されている電荷量に変化が生じないようにその電荷量に相関する電圧値を検出するため、いわゆる非破壊読出が可能となり、一フレーム中に何度でも同一画素データを読み出せる。

【0037】上記第3の実施例における第2の静電容量C2は、フレーム転送用ゲートFTやMOS型スイッチSX1、SY1や配線等に寄生している容量によって構成してもよく、あるいは個別にコンデンサを付加してもよい。また、バッファB1のゲート容量を第2の静電容量として用いてもよい。

【0038】—第4の実施例—

第4の実施例は、第1の静電容量をリセットするためのリセット用スイッチを第3の実施例に追加したものである。図4は第4の実施例の内部構成を示す回路図である。図示のように、第4の実施例は、第1の静電容量C1およびフォトダイオードD1にリセット用スイッチSRを接続する点を除いて図3に示す第3の実施例と共通する。これにより、第2の実施例の特徴である電子絞りと、第3の実施例の特徴である任意回数および任意順序での画素読み出しの双方が可能となる。

【0039】—第5の実施例—

第5の実施例は、第1の静電容量から第2の静電容量に効率よく電荷を転送できるようにしたものである。図5はXYアドレス型イメージセンサの第5の実施例の内部構成を示す回路図である。図5では、図3に示す第3の実施例と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【0040】図5において、フォトダイオードD1のアノード端子とソースフォロワ型のバッファB1のソース端子との間にはMOS型スイッチFT1が接続されている。MOS型スイッチFT1のゲート端子はフレーム転送用ゲートFTのゲート端子とともにフレーム転送制御線L1に接続され、第1の静電容量C1、フォトダイオードD1のアノード端子およびMOS型スイッチFT1には抵抗Rが接続されている。この抵抗Rは、配線の寄生抵抗を利用してもよく、あるいは別個独立の抵抗体を取り付けてもよい。

【0041】以下、図5に基づいて第5の実施例の動作を説明する。第1の静電容量C1への電荷の蓄積が終了後にフレーム転送制御線L1を介してフレーム転送を指示すると、フレーム転送用ゲートFTおよびMOS型スイッチFT1は双方ともに導通する。また、ソースフォロワの特性により、バッファB1のソース電位（図示の点aの電位）は実効ゲート電位（ゲート電位一閾値）に等しくなるため、第1の静電容量C1に蓄積されている電荷は一定値を除いてすべて第2の静電容量C2に転送され、第1の静電容量C1に残像電荷が残らなくなる。

【0042】これにより、前フレームの影響を受けることなく画像を表示でき、画質が改善する。また、第2の実施例のように、リセット用スイッチを設けて残像電荷を除去するよりも多くの電荷を第1の静電容量C1から第2の静電容量C2に転送できるため、感度が向上するとともに、転送される電荷量を多くできるために信号対雑音比(S/N)が向上する。

【0043】—第6の実施例—

図5に示す第5の実施例の場合、第1の静電容量C1から第2の静電容量C2に電荷が転送される際に、電源VDDからの電流がバッファB1、MOS型スイッチFT1および抵抗Rを通して流れるため、消費電力が増えるという欠点がある。このような欠点を解消するためには、抵抗Rの値を大きくすることも考えられるが、抵抗Rを大きくすると、第1の静電容量C1と抵抗Rとによって定まる時定数が大きくなり、応答性および直線性が悪くなる。すなわち、抵抗Rの値を最適化するのが大変難しい。そこで、以下に示す第6の実施例では、応答性および直線性を損なうことなく消費電力の低減を図っている。

【0044】図6はXYアドレス型イメージセンサの第6の実施例の内部構成を示す回路図である。図6では、図5に示す第5の実施例と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。第1～第5の実施例では、光電変換された電荷を蓄積するための第1の静電容量C1としてフォトダイオードD1の寄生容量を用いたが、以下に示す第6の実施例では、図6に示すように、寄生容量C1とは別個に第1の静電容量C1aを設ける。また、寄生容量C1と第1の静電容量C1aとの間にMOS型スイッチFN、FN1を設ける。これらMOS型スイッチFN、FN1のゲート端子はいずれも蓄積タイミング制御信号線L2によって他のMOS型スイッチFN、FN1のゲート端子と接続されている。

【0045】以下、図6に基づいて第6の実施例の動作を説明する。MOS型スイッチFT、FT1を遮断してMOS型スイッチFN、FN1を導通すると、寄生容量C1に蓄積された電荷は第1の静電容量C1aに転送される。これにより、速やかに第1の静電容量C1aに電荷が蓄積され、応答性および直線性の改善が図れる。次に、MOS型スイッチFN、FN1を遮断して代わりにMOS型スイッチFT1およびフレーム転送用ゲートFTを導通すると、第1の静電容量C1aに蓄積された電荷は第2の静電容量C2に転送される。その際、MOS型スイッチFN、FN1は遮断されているため、電源VDDからの電流がMOS型スイッチFN1を通して流れることはない。したがって、消費電力を低減できる。

【0046】—第7の実施例—

以下に説明する第7～第10の実施例では、電荷転送型イメージセンサにXYアドレス指定機能を追加するもの

である。図7は電荷転送型イメージセンサの代表であるCCDの第7の実施例の内部構成を示す回路図である。図7では、図13に示す従来のCCDと共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。なお、図7では、簡略化のため、縦横2個ずつの画素によってCCDを構成する例について説明する。

【0047】図7において、CGは垂直転送用CCDチャネルVから転送された電荷を順次蓄積する一時蓄積用CCDチャネルであり、その内部には第3の静電容量C3が設けられている。TSは、垂直転送用CCDチャネルVから転送された電荷を電荷読出部まで転送するか、あるいは一時蓄積用CCDチャネルCGに転送するかを選択する転送選択用CCDチャネルである。

【0048】以下、図7に基づいて第7の実施例の動作を説明する。第1の静電容量C1への電荷蓄積が終了すると、全画素とも同時に垂直転送用CCDチャネルV内部の第2の静電容量C2に電荷を転送し、それと同時に第1の静電容量C1は次フレームの電荷蓄積を開始する。第2の静電容量C2に転送された電荷はクロックが入力されるたびに隣接するチャネルの第2の静電容量C2に順次転送される。これにより、垂直転送用CCDチャネルVから出力された電荷は転送選択用CCDチャネルTSを介して順次に一時蓄積用CCDチャネルCGに転送され、その内部の第3の静電容量C3に蓄積される。

【0049】例えば、図7に示す電荷転送型イメージセンサの第1行にある画素G11、G12の電荷を読み出す場合には、画素G11、G12の電荷データが転送選択用CCDチャネルTSに転送されるまで、垂直転送用CCDチャネルVから一時蓄積用CCDチャネルCGに電荷を順次転送する。そして、画素G11、G12の電荷データが転送選択用CCDチャネルTSに転送されてくると、それらの電荷を電荷読出部まで転送して外部に出力する。画素G11、G12の電荷読み出しが終了すると、一時蓄積用CCDチャネルCGに蓄積されている電荷を逆に転送して、もとの垂直転送用CCDチャネルV内の第2の静電容量C2に戻す。

【0050】このように、第7の実施例によれば、2次元に配列された複数画素のうち、所望の行の画素データが転送選択用CCDチャネルTSに転送されるまでの間、垂直転送用CCDチャネルVから転送された電荷を一時蓄積用CCDチャネルCGに順次蓄積し、所望の行の画素データを外部に読み出した後に、一時蓄積用CCDチャネルに蓄積されている電荷を垂直転送用CCDチャネルVに戻すようにしたため、一部の画素データだけを任意に指定して読み出すことができる。したがって、従来不向きとされた画像処理分野にも電荷転送型イメージセンサを広く用いることができる。

【0051】—第8の実施例—

第 7 の実施例は、2 次元に配列された複数画素の画素データを行単位で選択して読み出すのに対し、以下に説明する第 8 の実施例は、任意の画素のデータだけを選択して読み出せるようにしたものである。

【0052】図 8 は CCD の第 8 の実施例の内部構成を示す回路図である。図 8 では、図 7 と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。図 8 において、フォトトランジスタ D1、第 1 の静電容量 C1 および垂直転送用 CCD チャンネル V の構成は図 7 に示す第 7 の実施例と共通する。垂直転送用 CCD チャンネル V の一端には水平転送用 CCD チャンネル H が接続されており、水平転送用 CCD チャンネル H の内部には電荷読出部と第 3 の静電容量 C3 が設けられている。

【0053】以下、図 8 に基づいて第 8 の実施例の動作を説明する。第 1 の静電容量 C1 から垂直転送用 CCD チャンネル V の内部の第 2 の静電容量 C2 に転送された電荷データは、順次に第 2 の静電容量 C2 に転送される。そして、垂直転送用 CCD チャンネル V から出力された電荷は順次水平転送用 CCD チャンネル H に転送され、電荷読出部を通過して第 3 の静電容量 C3 に転送される。読み出したい画素の電荷データが電荷読出部に到達すると、そのデータが電荷読出部から出力され、その後、第 3 の静電容量 C3 に蓄積されている電荷が逆に転送されて再度垂直転送用 CCD チャンネル V に転送され、もとの第 2 の静電容量に蓄積される。

【0054】このように、第 8 の実施例によれば、読み出したい画素の電荷が転送されるまで順次電荷を第 3 の静電容量 C3 に蓄積し、読み出したい画素の電荷を出力した後に、他の電荷を逆に転送してもとの第 2 の静電容量に蓄積するようにしたため、指定アドレスの画素データだけを読み出すことができる。

【0055】—第 9 の実施例—

第 9 の実施例は垂直転送用 CCD チャンネルと水平転送用 CCD チャンネルをともにリング状にすることで、第 7、8 の実施例のような逆転送の手間を省いたものである。図 9 は CCD の第 9 の実施例の内部構成を示す回路図である。図 9 では、図 7 と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。図 9 に示すように、垂直転送用 CCD チャンネル V はその内部にリング状に配設された第 2 の静電容量 C2 を有し、クロックが入力されるたびに、各第 2 の静電容量 C2 に蓄積されている電荷は隣接する第 2 の静電容量 C2 に転送される。同様に、水平転送用 CCD チャンネル H の内部にもリング状に配設された第 3 の静電容量 C3 が設けられる。

【0056】以下、図 9 に基づいて第 9 の実施例の動作を説明する。第 1 の静電容量 C1 から垂直転送用 CCD チャンネル V の内部の第 2 の静電容量 C2 に転送された電荷データは、高速度で垂直転送用 CCD チャンネル V およ

び水平転送用 CCD チャンネル H を巡回する。そして、この巡回速度に同期した速度で電荷読出部から電荷データを読み出すようにすれば、任意のデータを迅速に読み出せる。また、電荷データは一定速度でリング状に巡回しているため、第 7 および第 8 の実施例のように電荷データを逆に転送する必要もなく、タイミング制御が容易になる。

【0057】—第 10 の実施例—

第 10 の実施例は、フローティングゲート型の読出回路を設けて電荷を非破壊に読み出すものである。図 10 は CCD の第 10 の実施例の構造を示す断面図である。図 10 に示すように、P 型シリコン基板 11 上には電極 12 が一定間隔で配設されている。P 型シリコン基板 11 を接地して電極 12 に正の電圧を印加すると、P 型シリコン基板 11 と電極 12 との界面付近に空乏層 13 ができ、この空乏層 13 付近に光を照射すると、光電変換によって生じた電子が空乏層 13 内に蓄積される。

【0058】一方、空乏層 13 と電極 12 との間には電位が浮動しているフローティングゲート FG が設けられており、このフローティングゲート FG は MOS 型スイッチ S1 を介して MOS 型スイッチ S2 に接続されている。そして、MOS 型スイッチ S2 のソース端子には電荷読出部が接続されている。

【0059】以下、図 10 に基づいて第 10 の実施例の動作を説明する。P 型シリコン基板 11 と電極 12 との界面付近に光を照射すると、空乏層 13 内に電子が蓄積される。そして、各電極 12 に印加する電圧を順次変更することにより、空乏層 13 内の電子は隣接する空乏層 13 に順次転送される。空乏層 13 内の電子がフローティングゲート FG の直下を通過すると、フローティングゲート FG に誘導電荷が誘起される。このとき、MOS 型スイッチ S1 が遮断している場合には、フローティングゲート FG 内部の誘導電荷はどこにも移動せず、空乏層 13 内の電子が隣接する空乏層 13 に転送された後に再結合によって消滅する。

【0060】一方、空乏層 13 内の電子がフローティングゲート FG の直下を通過したときに MOS 型スイッチ S1 が導通している場合には、フローティングゲート FG 内部の誘導電荷は MOS 型スイッチ S1 のドレイン・ソース間を通過して MOS 型スイッチ S2 のゲート端子に達する。これにより、MOS 型スイッチ S2 のゲート電位が変化し、その結果、MOS 型スイッチ S2 のソース電位、すなわち電荷読出部の電位が変化する。

【0061】いったんフローティングゲート FG から MOS 型スイッチ S2 のゲート端子に移動した誘導電荷は電荷読出部の電位を読み出しても変化しないため、一フレーム中に何度でも電荷を読み出すことができ、非破壊読出が可能となる。また、空乏層 13 内の電荷の転送速度と MOS 型スイッチ S1 のオン・オフ速度を同期させることにより、任意の画素を選択して読み出すことがで

きる。

【0062】なお、上記第10の実施例では、フローティングゲートFG内部の誘導電荷やMOS型スイッチS2のゲート端子に移動した誘導電荷を除去する手段を省略しているが、電荷読出部の電位を読み出した後にフローティングゲートFGおよびMOS型スイッチS2のゲート端子の誘導電荷を除去する手段を備えるのが望ましい。

【0063】第1～第6の実施例ではMOS型スイッチを用いたが、バイポーラ型スイッチを用いてもよい。また、第7～第10の実施例では電荷転送型イメージセンサとしてCCDを用いたが、本発明はBBDB (Buclcet Brigade Device) などの他のすべての電荷転送型イメージセンサに適用できる。

【0064】このように構成した実施例にあつては、フレーム転送用ゲートFTが転送手段に、MOS型スイッチSX1、SY1が電荷読出手段に、リセット用スイッチSRが第1の電荷除去手段に、リセット用スイッチSR1が第2の電荷除去手段に、パッファB1が非破壊読出手段に、MOS型スイッチFT1が電圧変換手段に、一時蓄積用CCDチャネルCGが電荷蓄積手段に、転送選択用CCDチャネルTSが読出制御手段に、垂直転送用CCDチャネルVが第1の転送手段に、水平転送用CCDチャネルHが第2の転送手段に、MOS型スイッチS1が電荷取出手段に、MOS型スイッチS2が電圧発生手段に、それぞれ対応する。

【0065】

【発明の効果】以上詳細に説明したように、本発明によれば、各画素ごとに設けられる第1の静電容量に蓄積されている電荷を略同時に第2の静電容量に転送するようにしたため、第2の静電容量への電荷蓄積開始時刻および電荷蓄積時間を共通にでき、電荷蓄積開始時刻および電荷蓄積時間のずれによって生じるちらつきが生じなくなる。また、転送手段を制御することで第1の静電容量への電荷蓄積と第2の静電容量からの電荷読出とを同時に行うことができ、その結果として各画素の画素データを任意の順序で読み出すことができる。請求項2に記載の発明によれば、第2の静電容量に電荷を転送した後に第1の静電容量に残存している電荷を除去するようにしたため、残像電荷による画質の劣化を抑制できる。請求項3に記載の発明によれば、第2の静電容量に電荷を転送する前に第2の静電容量に残存している電荷を除去するようにしたため、残像電荷による画質の劣化を抑制できる。請求項4に記載の発明によれば、第2の静電容量に蓄積されている電荷の量に変化が生じないように電荷量に相関する量を読み出すようにしたため、いわゆる非破壊読出が可能となり、一フレーム中に何度でも同一の第2の静電容量から電荷を読み出せるようになる。請求

項5に記載の発明によれば、電圧設定手段を設けることによって第1の静電容量の両端電圧がゼロまたは所定電圧になるようにしたため、第1の静電容量に蓄積されている電荷を第2の静電容量に効率よく転送でき、第1の静電容量内部に残存電荷が残らないようにすることができる。請求項6に記載の発明によれば、所望の光電変換部の電荷が転送手段から出力されるまで順次電荷を蓄積し、所望の電荷を読み出した後に、蓄積した電荷をもとに戻すようにしたため、電荷転送型イメージセンサに任意の画素だけを指定して読み出す機能を付加できる。請求項7に記載の発明によれば、第1の転送手段および第2の転送手段をリング状にすることで、任意の画素だけを指定して読み出せるとともに、タイミング制御も簡易化する。

【図面の簡単な説明】

【図1】XYアドレス型イメージセンサの第1の実施例の内部構成を示す回路図。

【図2】XYアドレス型イメージセンサの第2の実施例の内部構成を示す回路図。

20 【図3】XYアドレス型イメージセンサの第3の実施例の内部構成を示す回路図。

【図4】XYアドレス型イメージセンサの第4の実施例の内部構成を示す回路図。

【図5】XYアドレス型イメージセンサの第5の実施例の内部構成を示す回路図。

【図6】XYアドレス型イメージセンサの第6の実施例の内部構成を示す回路図。

【図7】CCDの第7の実施例の内部構成を示す回路図。

30 【図8】CCDの第8の実施例の内部構成を示す回路図。

【図9】CCDの第9の実施例の内部構成を示す回路図。

【図10】CCDの第10の実施例の内部構成を示す回路図。

【図11】従来のXYアドレス型イメージセンサの内部構成を示す回路図。

【図12】従来のXYアドレス型イメージセンサの欠点を説明する図。

40 【図13】従来のCCDの内部構成を示す回路図。

【図14】全体像の一部に注目領域がある例を示す図。

【符号の説明】

C1 第1の静電容量

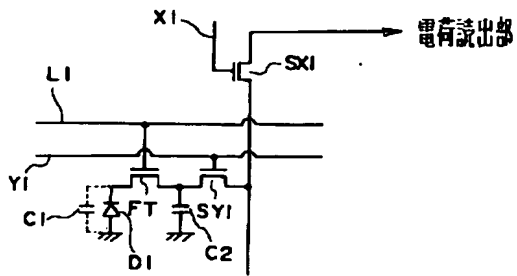
C2 第2の静電容量

D1 フォトダイオード

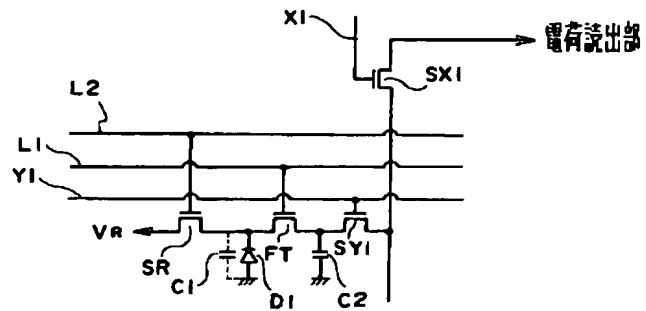
FT フレーム転送用ゲート

SX1, SY1 MOS型スイッチ

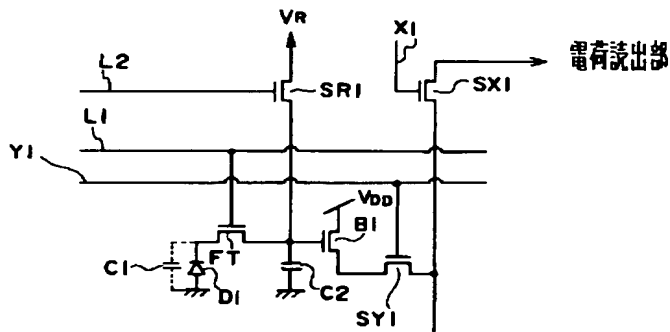
【図 1】



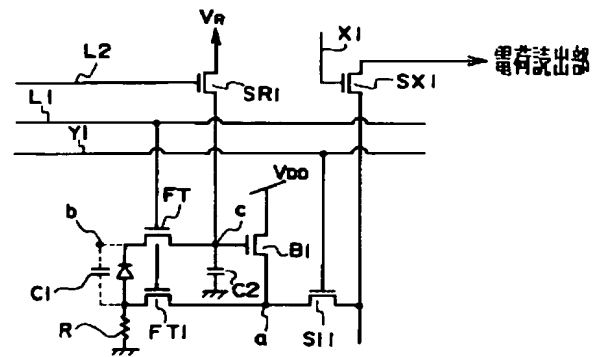
【図 2】



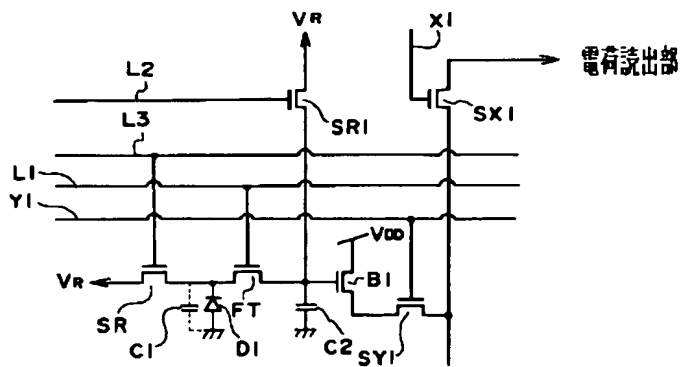
【図 3】



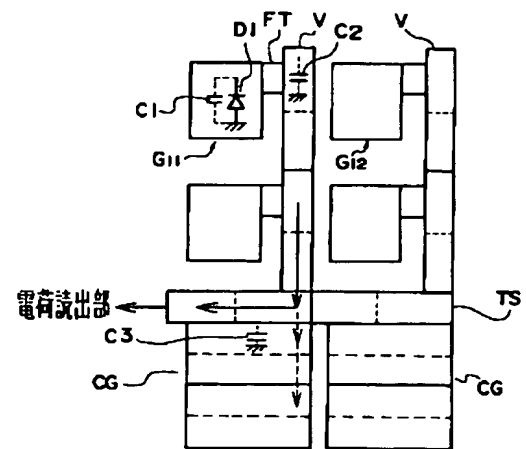
【図 5】



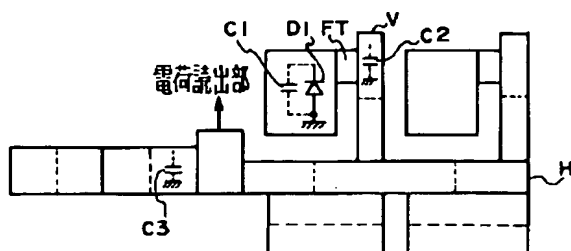
【図 4】



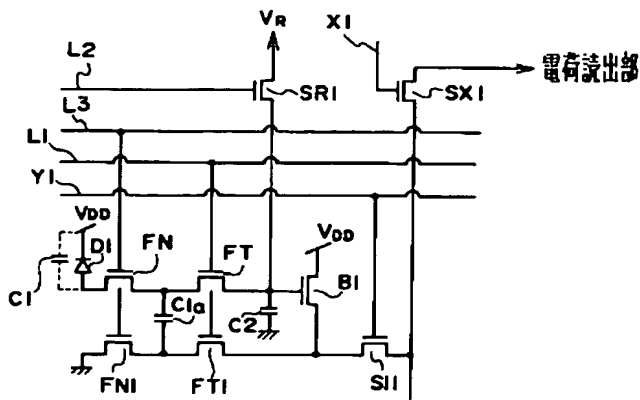
【図 7】



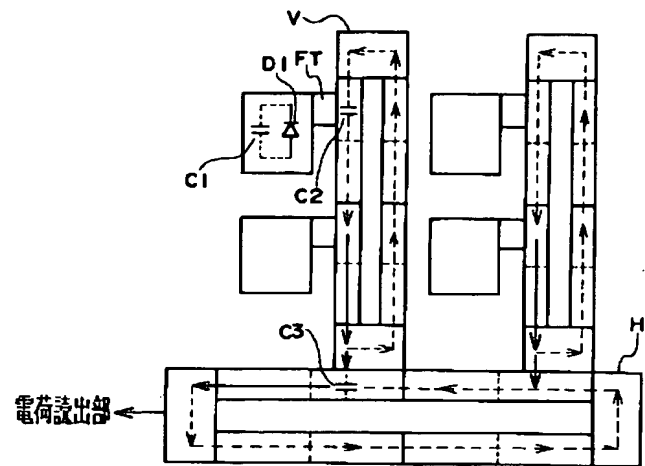
【図 8】



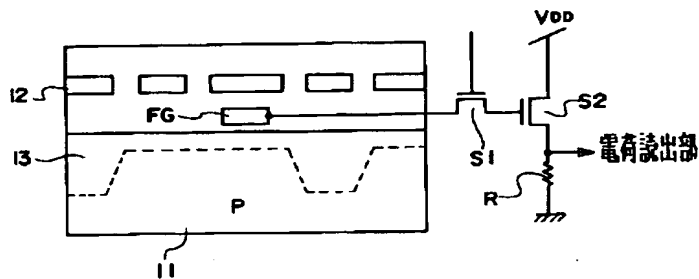
【図6】



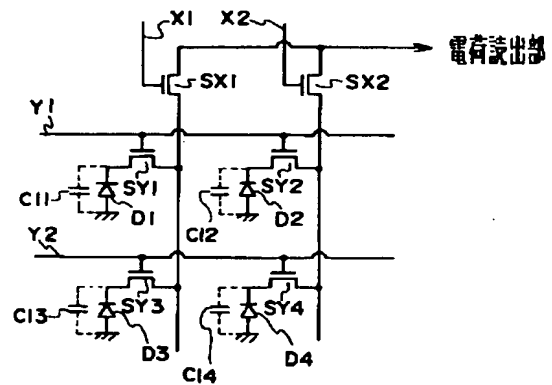
【図9】



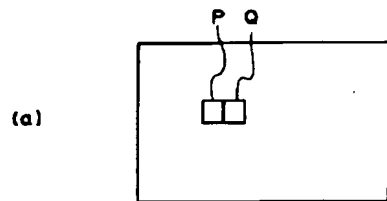
【図10】



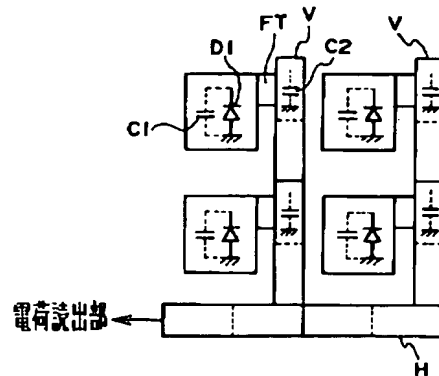
【図11】



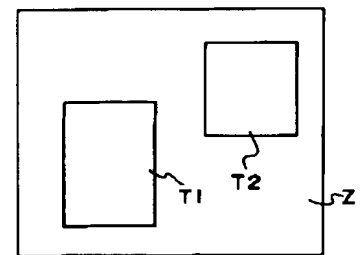
【図12】



【図13】



【図14】



(b)

